

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-231905
 (43)Date of publication of application : 16.08.2002

(51)Int.Cl. H01L 27/105
 H01L 27/108
 H01L 21/8242

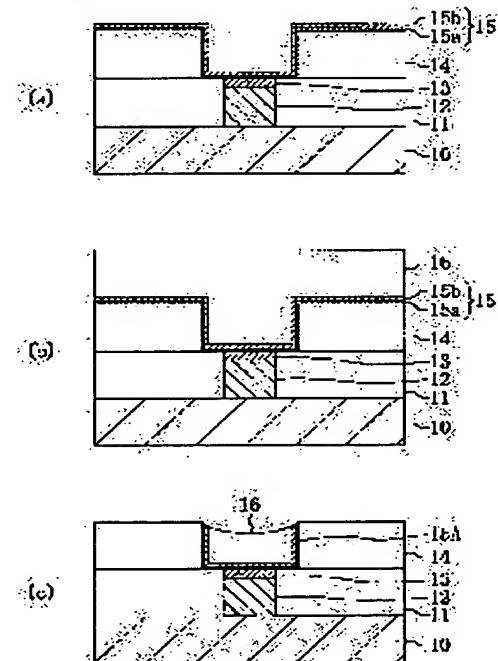
(21)Application number : 2001-030068 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 06.02.2001 (72)Inventor : OKUNO YASUTOSHI
 KOTANI AKIHIKO
 MORI YOSHIHIRO

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid broken gaps at the bottom corner of conductive film which is a lower electrode deposited on a wall and bottom of an insulation film when forming concave type capacitive element and improve a film quality of a capacitor insulation film formed on the conductive film.

SOLUTION: After a first lower layer platinum film 15a is formed on a wall and bottom of a concave section of a second interlayer insulation film 14, and on the second interlayer insulation film 14 by a sputtering method, a second lower layer platinum film 15b is formed on the first lower layer platinum film 15a by CVD method. A part of a first platinum film 15 comprising the first lower layer platinum film 15a and the second lower layer platinum film 15b existing on the second interlayer insulation film 14 is removed to form a lower electrode 15A comprising the first platinum film 15. After a capacitor insulation film comprising perovskite high dielectric or ferroelectric is formed on the lower electrode 15A, an upper electrode comprising a second platinum film is formed on the capacitor insulation film.



LEGAL STATUS

[Date of request for examination] 24.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3598068

[Date of registration] 17.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.
H 01 L 27/105
27/108
21/8242

識別記号

F I
H 01 L 27/10
6 2 1 C
6 2 1 B
6 5 1

テマコト[®](参考)

4 4 4 C 5 F 0 8 3

(21)出願番号 特願2001-30068(P2001-30068)
(22)出願日 平成13年2月6日(2001.2.6)

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 奥野 泰利
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 鼓谷 昭彦
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74)代理人 100077931
弁理士 前田 弘 (外7名)

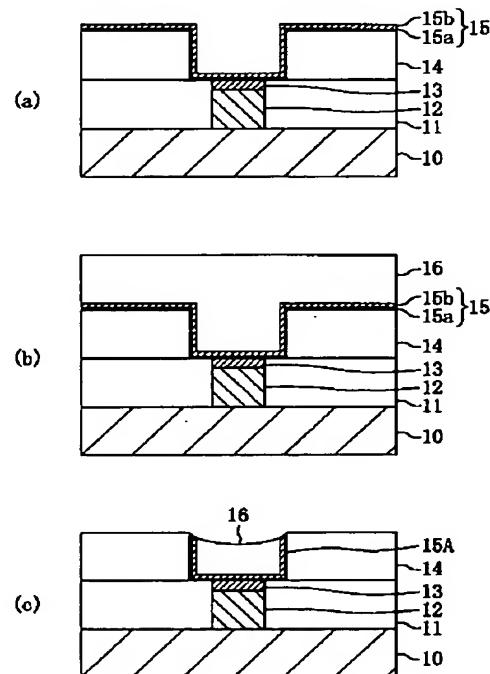
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 コンケーブ型の容量素子を形成する際に、絶縁膜の凹部の壁面及び底面に成膜され下部電極となる導電膜の底部隅部に途切れ部が形成されないようにすると共に、該導電膜の上に成膜される容量絶縁膜の膜質の向上を図る。

【解決手段】 第2の層間絶縁膜14の凹部の壁面及び底面並びに第2の層間絶縁膜14の上面にスパッタ法により第1の下層白金膜15aを形成した後、該第1の下層白金膜15aの上にCVD法により第2の下層白金膜15bを形成する。第1の下層白金膜15a及び第2の下層白金膜15bからなる第1の白金膜15における第2の層間絶縁膜14の上に存在する部分を除去して、第1の白金膜15からなる下部電極15Aを形成する。下部電極15Aの上に、ペロブスカイト型の高誘電体又は強誘電体からなる容量絶縁膜を形成した後、該容量絶縁膜の上に第2の白金膜からなる上部電極を形成する。



【特許請求の範囲】

【請求項1】 下部電極と、前記下部電極の上に形成されたペロブスカイト型の高誘電体又は強誘電体よりなる容量絶縁膜と、前記容量絶縁膜の上に形成された上部電極からなるコンケーブ型の容量素子を有する半導体装置の製造方法であって、前記下部電極となる導電膜を成膜する工程は、基板上の絶縁膜に形成された凹部の壁面及び底面にスパッタ法により下層導電膜を成膜する工程と、前記下層導電膜の上にCVD法により上層導電膜を成膜する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記下層導電膜の厚さは、0.5nm以上で且つ5nm以下であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 下部電極と、前記下部電極の上に形成されたペロブスカイト型の高誘電体又は強誘電体よりなる容量絶縁膜と、前記容量絶縁膜の上に形成された上部電極からなる容量素子を有する半導体装置の製造方法であって、

前記上部電極となる導電膜を成膜する工程は、スパッタ法により下層導電膜を成膜する工程と、前記下層導電膜の上にCVD法により上層導電膜を成膜する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 前記容量素子はコンケーブ型の容量素子であることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記容量素子はスタック型の容量素子であることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】 前記CVD法は、酸化性雰囲気中において行なわれることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項7】 前記下層導電膜の厚さは、0.5nm以上で且つ5nm以下であることを特徴とする請求項3に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に、ペロブスカイト型の高誘電体又は強誘電体よりなる容量絶縁膜を有する半導体素子の下部電極又は上部電極となる導電膜の成膜方法に関する。

【0002】

【従来の技術】 ペロブスカイト型の高誘電体又は強誘電体よりなる容量絶縁膜を有する半導体素子の下部電極又は上部電極となる導電膜としては、耐酸化性を有する白金膜等の貴金属膜が用いられ、該貴金属膜はスパッタ法により成膜される。

【0003】 ところで、半導体集積回路の微細化及び高集積化に伴って、半導体集積回路を構成するDRAMセルも微細化が求められ、DRAMセルを構成する容量素

子は三次元化されるようになり、コンケーブ型の容量素子が提案されている。

【0004】 以下、コンケーブ型の容量素子を有する従来の半導体装置の製造方法について、図7(a)を参照しながら説明する。

【0005】 まず、半導体基板1の上に、シリコン酸化膜からなり凹部を有する絶縁膜2を形成した後、該絶縁膜2の凹部の壁面及び底面に、スパッタ法により第1の白金膜からなる下部電極3を形成する。

10 【0006】 次に、下部電極3の上に、例えばBST(バリウムストロンチウムチタンオキサイド)膜等のペロブスカイト型の高誘電体よりなる容量絶縁膜4を成膜した後、該容量絶縁膜4の上にスパッタ法により第2の白金膜からなる上部電極5を形成する。

【0007】

【発明が解決しようとする課題】 ところで、DRAMセルの一層の微細化の要求に伴って容量素子の微細化が求められるようになり、下部電極3が形成される絶縁膜2の凹部の平面的なサイズは、例えば短辺が0.15μm

20 で長辺が0.3μm程度に微細化されるようになってきた。

【0008】 このため、絶縁膜2の凹部のアスペクト比が従来よりも高くなるので、スパッタ法により形成される白金膜からなる下部電極3及び上部電極5の各底部の隅部において、カバレッジ(被覆量)が不足して膜厚が薄くなると共に、上部電極5の上部においてオーバーハングが形成されてしまう。

【0009】 下部電極3の底部隅部の膜厚が薄くなると、容量絶縁膜4をCVD法(化学気相成長法)により

30 成膜する際の熱処理において、下部電極を構成する白金膜が凝集して、つまり薄膜部の白金が厚膜部に移動して、図7(b)に示すように、下部電極3が底部隅部において途切れてしまうという問題がある。

【0010】 また、上部電極5の底部隅部の膜厚が薄くなると、容量絶縁膜4の膜質を向上させるための熱処理工程において、上部電極5を構成する白金膜が凝集して、図7(b)に示すように、上部電極5が底部隅部において途切れてしまうという問題が発生し、また、上部電極5の上部にオーバーハングができると、上部電極5に空間部が形成されてしまうという問題が発生する。

【0011】 そこで、例えば、USP6162712、USP5783719、USP5929267又は特開平11-292889号公報に示されるように、下部電極3及び上部電極5となる白金膜を、カバレッジに優れるCVD法により成膜することが考えられる。

【0012】 ところが、下部電極3となる白金膜をCVD法により成膜すると、シリコン酸化膜からなる絶縁膜2の上にCVD法により白金膜を成膜することになるため、白金膜のモフォロジーが悪化するので、つまり白金膜の表面にミクロな凹凸が形成されるので、該白金膜の

上に形成される容量絶縁膜4の膜質が低下するという問題がある。

【0013】また、上部電極5となる白金膜をCVD法により成膜すると、BST膜からなる容量絶縁膜4の上にCVD法を行なうことになり、BST膜及び原料ガスから発生する炭素等の有機物が白金膜中に巻き込まれるので、容量絶縁膜4と上部電極5との界面の電気的特性が低下するという問題がある。

【0014】前記に鑑み、本発明は、絶縁膜の凹部の壁面及び底面に成膜され下部電極となる導電膜の底部隅部に途切れ部が形成されないようにすると共に、該導電膜の上に成膜される容量絶縁膜の膜質の向上を図ることを第1の目的とし、微細な凹部に成膜され上部電極となる導電膜の底部隅部に途切れ部が形成されず且つ上部にオーバーハングが形成され難くすると共に、容量絶縁膜と上部電極との界面の電気的特性を向上させることを第2の目的とする。

【0015】

【課題を解決するための手段】前記の第1の目的を達成するため、本発明に係る第1の半導体装置の製造方法は、下部電極と、該下部電極の上に形成されたペロブスカイト型の高誘電体又は強誘電体よりなる容量絶縁膜と、該容量絶縁膜の上に形成された上部電極からなるコンケープ型の容量素子を有する半導体装置の製造方法を対象とし、下部電極となる導電膜を成膜する工程は、基板上の絶縁膜に形成された凹部の壁面及び底面にスパッタ法により下層導電膜を成膜する工程と、該下層導電膜の上にCVD法により上層導電膜を成膜する工程とを含む。

【0016】本発明に係る第1の半導体装置の製造方法によると、下部電極となる導電膜を構成する下層導電膜はスパッタ法により成膜されるため、下部電極となる導電膜のモフォロジーが向上するので、該導電膜の上に形成される容量絶縁膜の膜質が向上する。また、下層導電膜の上に成膜される上層導電膜はCVD法により成膜されるため、下部電極となる導電膜の膜厚が均一になるので、微細な凹部に下部電極を形成するにも拘わらず、容量絶縁膜となるペロブスカイト型の高誘電体膜又は強誘電体膜を成膜する際の熱処理工程において、下部電極となる導電膜が凝集し難くなり、下部電極が底部の隅部において途切れる事態を防止することができる。

【0017】第1の半導体装置の製造方法において、下層導電膜の厚さは、0.5nm以上で且つ5nm以下であることが好ましい。

【0018】このようにすると、下層導電膜の厚さが均一になるので、該下層導電膜の上にCVD法により上層の導電膜を安定して成膜できるので、下部電極となる導電膜の膜厚が均一になると共に、下部電極が底部の隅部において途切れる事態を確実に防止することができる。

【0019】前記の第2の目的を達成するため、本発明

に係る第2の半導体装置の製造方法は、下部電極と、該下部電極の上に形成されたペロブスカイト型の高誘電体又は強誘電体よりなる容量絶縁膜と、該容量絶縁膜の上に形成された上部電極からなる容量素子を有する半導体装置の製造方法を対象とし、上部電極となる導電膜を成膜する工程は、スパッタ法により下層導電膜を成膜する工程と、該下層導電膜の上にCVD法により上層導電膜を成膜する工程とを含む。

【0020】本発明に係る第2の半導体装置の製造方法によると、上部電極となる導電膜を構成する下層導電膜はスパッタ法により成膜されるため、ペロブスカイト型の高誘電体膜又は強誘電体膜及び原料ガスから発生する炭素等の有機物が下層導電膜に巻き込まれる事態を回避できるので、容量絶縁膜と上部電極との界面の電気的特性の低下を防止することができる。また、下層導電膜の上に成膜される上層導電膜はCVD法により成膜されるため、上部電極となる導電膜の膜厚が均一になるので、ペロブスカイト型の高誘電体膜又は強誘電体膜の電気的特性を向上させるための熱処理工程において、上部電極となる導電膜が凝集し難くなり、上部電極が底部隅部において途切れる事態を防止することができる。さらに、上部電極となる導電膜のオーバーハングを防止することができる。

【0021】第2の半導体装置の製造方法において、容量素子は、コンケープ型の容量素子であってもよいし、スタック型の容量素子であってもよい。

【0022】第2の半導体装置の製造方法において、上層導電膜を成膜するためのCVD法は、酸化性雰囲気中において行なわれることが好ましい。

【0023】このようにすると、容量絶縁膜となるペロブスカイト型の高誘電体膜又は強誘電体膜が劣化する事態を防止できると共に、自己触媒効果が抑制されて均一な厚さを持つ上層導電膜を成膜することができる。

【0024】第2の半導体装置の製造方法において、下層導電膜の厚さは、0.5nm以上で且つ5nm以下であることが好ましい。

【0025】このようにすると、下層導電膜の厚さが均一になるので、該下層導電膜の上にCVD法により上層の導電膜を安定して成膜できるので、上部電極となる導電膜の膜厚が均一になると共に、上部電極が底部の隅部において途切れる事態及び上部電極の上部においてオーバーハングが形成される事態を確実に防止することができる。

【0026】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態として、コンケープ型の容量素子を有する半導体装置の製造方法について、図1(a)～(c)、図2(a)～(c)、図3(a)～(c)及び図4(a)、(b)を参照しながら説明する。

【0027】まず、図1(a)に示すように、半導体基

板10の上に、例えばCVD法によりシリコン酸化膜よりなる第1の層間絶縁膜11を形成した後、該第1の層間絶縁膜11にプラグ12及びバリア層13を埋め込む。プラグ12は例えばタングステン又はポリシリコン等からなり、バリア層13は、耐酸化性を有すると共に電気抵抗が小さい材料例えればTiAlN等からなり、プラグ12が酸化されることを防止する。その後、プラグ12及びバリア層13を含む第1の層間絶縁膜11の上に、例えばCVD法により、シリコン酸化膜よりなる第2の層間絶縁膜14を形成する。

【0028】次に、図1(b)に示すように、第2の層間絶縁膜14に対して選択的にドライエッチングを行なって、第2の層間絶縁膜14に、バリア層13を露出させる凹部14aを形成する。

【0029】次に、図1(c)に示すように、スパッタ法により、第2の層間絶縁膜14の上面並びに凹部14aの壁面及び底面に第1の下層白金膜15aを例えば0.5~5nm程度の厚さに成膜する。尚、図示は省略しているが、第2の層間絶縁膜14と第1の下層白金膜15aとの間に、例えばチタン膜等からなる密着層をスパッタ法により形成しておいてもよい。

【0030】次に、図2(a)に示すように、酸化性ガス雰囲気中においてCVD法を行なうことにより、第1の下層白金膜15aの上に第1の上層白金膜15bを例えば10~20nm程度の厚さに成膜すると、第1の下層白金膜15aと第1の上層白金膜15bとの積層膜からなる第1の白金膜15が形成される。第1の上層白金膜15bの成膜条件は次の通りである。

【0031】プリカーサ(前駆体)：ジメチルプラチナシクロオクタジエン(化学式： $(CH_3)_2PtC_8H_{12}$)
成膜温度：350°C

成膜法：溶液気化MOCVD法(LD-MOCVD法)
溶媒：テトラヒドロフラン

酸化ガス：酸素ガス(流量：50~100ml/min
(標準状態))

キャリアガス：アルゴンガス(流量：ほぼ200ml/min
(標準状態))

チャンバー圧力：133Pa~266Pa

気化器温度：ほぼ100°C

尚、プリカーサとしては、 $(CH_3C_5H_4)(CH_3)_3Pt$ 又は $(C_5H_5)(CH_3)_3Pt$ を用いてもよい。

【0032】また、成膜温度は350°C以下であることが好ましい。350°Cよりも高い温度で成膜すると、成膜メカニズムが供給律則から反応律則に移行するため、カバレッジに優れた良い膜が形成できなくなると共に、バリア層13となるTiAlN層の表面が酸化され、バリア層13と第1の白金膜15との界面に絶縁性の酸化膜が形成されてプラグ抵抗が高くなってしまうからである。

【0033】ところで、第1の上層白金膜15bの成膜

は酸化性ガス雰囲気中において行なわれるため、還元性雰囲気中で成膜される場合に比べて、自己触媒効果を低減することができる。自己触媒効果とは、原料ガスに含まれる白金有機金属の分解が生じ、白金の堆積が行なわれる白金膜の表面において、該白金膜の表面が白金有機金属を分解するための触媒として働く効果のことを言う。自己触媒効果が起きると、白金膜の表面における堆積レートが、白金膜とは異なる他の膜の表面における堆積レートよりも大きくなる現象がもたらされ、これにより、白金で覆われた部分に優先的に白金の堆積が生じる。

【0034】ところが、第1の上層白金膜15bは、酸化性ガス雰囲気中において成膜されるため、自己触媒効果を抑制できるので、CVDプロセスの制御が容易になり、これによって、均一な厚さを持つ第1の上層白金膜15bを成膜することができる。この場合、酸素ガスの流量としては、バリア層13が酸化性ガス雰囲気中において酸化される事態を防止できる値に設定することが好ましい。

20 【0035】次に、図2(b)に示すように、第1の白金膜15の上に、例えシリコン酸化膜16を第1の白金膜15の凹部が埋まるように堆積する。尚、シリコン酸化膜16に代えて、レジスト膜又は有機塗布膜等を用いてもよい。

【0036】次に、シリコン酸化膜16における第1の白金膜15の上に堆積されている部分をエッチバック又はCMP法により除去して、第1の白金膜15を露出させた後、該第1の白金膜15を、アルゴンガス、塩素ガス及び酸素ガスの混合ガスよりなるエッチングガスを用いて、第2の層間絶縁膜14が露出するまでエッチバックすることにより、図2(c)に示すように、第1の白金膜15からなり凹部を有する下部電極15Aを形成する。

【0037】次に、図3(a)に示すように、酸素プラズマを用いるアッシングにより、下部電極15Aの凹部に残存しているシリコン酸化膜16を除去する。

【0038】次に、図3(b)に示すように、CVD法により、下部電極15Aの凹部の壁面及び底面並びに第2の層間絶縁膜14の上に全面に亘って、ペロブスカイト型の高誘電体膜又は強誘電体膜、例えBST膜17を堆積する。このようにすると、下部電極15Aの上に、凹部を有するBST膜17が形成される。BST膜17の成膜条件は次の通りである。

【0039】プリカーサ(前駆体)：Ba(C₁₁H₁₉O₂)₂、Sr(C₁₁H₁₉O₂)₂及びTi(C₁₁H₁₉O₂)₂(C₃H₇O)₂

成膜温度：450°C~550°C

成膜法：溶液気化MOCVD法

酸化ガス：酸素ガス(流量：ほぼ500ml/min
(標準状態))

チャンバー圧力: 266 Pa

【0040】次に、図3 (c) に示すように、スパッタ法により、B ST膜17の凹部の壁面及び底面並びにB ST膜17の上面に第2の下層白金膜18aを例えれば0.5~5 nm程度の厚さに成膜した後、酸化性ガス雰囲気中においてCVD法を行なって、第2の下層白金膜18aの上に第2の上層白金膜18bを例えれば50 nm程度の厚さに成膜すると、第2の下層白金膜18aと第2の上層白金膜18bとの積層膜からなる第2の白金膜18が形成される。

【0041】尚、第2の下層白金膜18aの成膜条件は第1の下層白金膜15aと同様であると共に、第2の上層白金膜18bの成膜条件は第1の上層白金膜15bと同様であるが、第2の下層白金膜18aの成膜工程は、B ST膜17がダメージを受けないように、比較的低いエネルギーで行なうことが好ましい。

【0042】ところで、第2の上層白金膜18bの成膜が還元性雰囲気中において行なわれると、B ST膜17が劣化してしまうが、ここでは、第2の上層白金膜18bは酸化性ガス雰囲気中において成膜されるため、B ST膜17が劣化する恐れはない。また、第2の上層白金膜18bが、酸化性ガス雰囲気中において成膜されるため、自己触媒効果が抑制されるので、均一な厚さを持つ第2の上層白金膜18bを成膜することができる。

【0043】次に、図4 (a) に示すように、第2の白金膜18の上にレジストパターン19を形成した後、第2の白金膜18及びB ST膜17に対してレジストパターン19をマスクにして順次ドライエッティングを行なって、第2の白金膜18からなる上部電極18Aを形成すると共に、B ST膜17からなる容量絶縁膜17Aを形成する。尚、第2の白金膜18に対するエッティング工程においては、アルゴンガス、塩素ガス及び酸素ガスの混合ガスよりもエッティングガスを用いることができる。

【0044】次に、図4 (b) に示すように、レジストパターン19を除去すると、プラグ11及びバリア層12の上に、下部電極15A、容量絶縁膜17A及び上部電極18Aからなる容量素子が得られる。

【0045】第1の実施形態によると、下部電極15Aとなる第1の白金膜15を構成する第1の下層白金膜15aはスパッタ法により成膜されるため、第1の白金膜15のモフォロジーが向上するので、容量絶縁膜17AとなるB ST膜17の膜質が向上する。また、第1の下層白金膜15aの上に成膜される第1の上層白金膜15bはCVD法により成膜されるため、第1の白金膜15の膜厚が均一になる。このため、短辺が0.15 μm程度で且つ長辺が0.3 μm程度の微細な凹部に下部電極15Aを形成するにも拘わらず、B ST膜17を成膜する際の熱処理工程において、下部電極15Aとなる第1の白金膜15が凝集し難くなるので、下部電極15Aが底部隅部において途切れる事態を防止することができ

る。

【0046】また、第1の実施形態によると、上部電極18Aとなる第2の白金膜18を構成する第2の下層白金膜18aはスパッタ法により成膜されるため、B ST膜17及び原料ガスから発生する炭素等の有機物が第2の下層白金膜18aに巻き込まれる事態を回避できるので、容量絶縁膜17Aと上部電極18Aとの界面の電気的特性の低下を防止することができる。また、第2の下層白金膜18aの上に成膜される第2の上層白金膜18bはCVD法により成膜されるため、第2の白金膜18の膜厚が均一になるので、B ST膜17の電気的特性を向上させるための熱処理工程において、上部電極18Aとなる第2の白金膜18が凝集し難くなるので、上部電極18Aが底部隅部において途切れる事態を防止することができる。

【0047】第1の実施形態において、第1の白金膜15を構成する第1の下層白金膜15a及び第2の白金膜18を構成する第2の下層白金膜18aの厚さを0.5 nm以上で且つ5 nm以下に設定した理由は次の通りである。すなわち、第1及び第2の下層白金膜15a、18aの厚さが0.5 nmよりも薄いと、第1及び第2の下層白金膜15a、18aの連続性が確保できなくなる。また、第1又は第2の下層白金膜15a、18aの厚さが5 nmよりも厚いと、「発明が解決しようとする課題」の項で説明した問題が解決されないと共に、CVD法により形成される第1又は第2の上層白金膜15b、18bの膜厚の均一性が低下する。従って、第1及び第2の下層白金膜15a、18aの厚さは、0.5 nm~5 nmの範囲が好ましい。

【0048】(第2の実施形態) 以下、本発明の第2の実施形態として、スタック型の容量素子を有する半導体装置の製造方法について、図5 (a) ~ (c) 及び図6 (a)、(b) を参照しながら説明する。

【0049】まず、図5 (a) に示すように、半導体基板20の上に例えばCVD法によりシリコン酸化膜よりも層間絶縁膜21を形成した後、該層間絶縁膜21に、プラグ22及びバリア層23を互いに近接して埋め込む。その後、バリア層23及び層間絶縁膜21の上に全面に亘って、スパッタ法により、白金膜よりなり200~300 nmの厚さを有する第1の白金膜24を成膜する。

【0050】次に、図5 (b) に示すように、第1の白金膜24を選択的にエッティングして、第1の白金膜24からなる下部電極24Aを形成する。

【0051】次に、図5 (c) に示すように、CVD法により、下部電極24A及び層間絶縁膜21の上に全面に亘って、ペロブスカイト型の高誘電体膜又は強誘電体膜、例えばB ST膜25を堆積する。この場合の成膜条件は、第1の実施形態と同様である。

【0052】次に、図6 (a) に示すように、スパッタ

法により、B S T膜2 5の上に全面に亘って下層白金膜2 6 aを例えば0.5~5nm程度の厚さに成膜する。尚、下層白金膜2 6 aの成膜条件は、第1の実施形態における第1の下層白金膜1 5 a及び第2の下層白金膜1 8 aと同様である。

【0053】次に、図6 (b) に示すように、CVD法により、下層白金膜2 6 aの上に全面に亘って上層白金膜2 6 bを例えば50nm程度の厚さに成膜して、下層白金膜2 6 aと上層白金膜2 6 bとの積層膜からなる第2の白金膜2 6 を形成する。尚、上層白金膜2 6 bの成膜条件は、第1の実施形態における第1の上層白金膜1 5 b及び第2の上層白金膜1 8 bと同様である。

【0054】次に、図示は省略しているが、第2の白金膜2 6 及びB S T膜2 5をパターニングして、第2の白金膜2 6 からなる上部電極を形成すると共に、B S T膜2 5からなる容量絶縁膜を形成する。

【0055】第2の実施形態によると、上部電極となる第2の白金膜2 6 を構成する下層白金膜2 6 aはスパッタ法により成膜されるため、B S T膜2 5及び原料ガスから発生する炭素等の有機物が下層白金膜2 6 aに巻き込まれる事態を回避できるので、容量絶縁膜と上部電極との界面の電気的特性の低下を防止することができる。また、下層白金膜2 6 aの上に成膜される上層白金膜2 6 bはCVD法により成膜されるため、下部電極2 4 Aが互いに接近しているため第2の白金膜2 6 は微細な凹部に形成されることになるにも拘わらず、第2の白金膜2 6 の膜厚が均一になる。このため、容量絶縁膜となるB S T膜2 5の電気的特性を向上させるための熱処理工程において、上部電極となる第2の白金膜2 6 が凝集し難くなるので、上部電極が底部隅部において途切れる事態を防止することができる。

【0056】尚、第1及び第2の実施形態における第1の白金膜及び第2の白金膜に代えて、ルテニウム若しくはイリジウム等の貴金属、これらの貴金属の合金又はこれらの酸化物からなる貴金属膜を用いてもよい。

【0057】また、第1及び第2の実施形態においては、容量絶縁膜は、B S T膜であったが、これに代えて、S B T (ストロンチウム ビスマス タンタル)、P Z T (鉛ジルコニウム チタンオキサイド)、S T (ストロンチウム チタンオキサイド)、B T (バリウム チタンオキサイド)等の、ペロブスカイト型の高誘電体膜又は強誘電体膜を用いてもよい。

【0058】

【発明の効果】本発明に係る第1の半導体装置の製造方法によると、下部電極となる導電膜のモフォロジーが向上するので、該導電膜の上に形成される容量絶縁膜の膜質が向上し、また、下部電極となる導電膜の膜厚が均一になるため、微細な凹部に下部電極を形成するにも拘わらず、高誘電体膜又は強誘電体膜を成膜する際の熱処理工程において、下部電極となる導電膜が凝集し難くなる

ので、下部電極が底部の隅部において途切れる事態を防止することができる。

【0059】本発明に係る第2の半導体装置の製造方法によると、ペロブスカイト型の高誘電体膜又は強誘電体膜及び原料ガスから発生する炭素等の有機物が下層導電膜に巻き込まれる事態を回避できるので、容量絶縁膜と上部電極との界面の電気的特性の低下を防止することができ、また、高誘電体膜又は強誘電体膜の電気的特性を向上させるための熱処理工程において、上部電極となる導電膜が凝集し難くなるので、上部電極が底部隅部において途切れる事態を防止することができ、さらに、上部電極となる導電膜のオーバーハングを防止することができる。

【図面の簡単な説明】

【図1】 (a) ~ (c) は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】 (a) ~ (c) は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図3】 (a) ~ (c) は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】 (a) 、 (b) は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】 (a) ~ (c) は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】 (a) 、 (b) は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】 (a) は従来の半導体装置の製造方法を示す断面図であり、 (b) は従来の半導体装置の製造方法の問題点を示す断面図である。

【符号の説明】

1 0 半導体基板

1 1 第1の層間絶縁膜

1 2 プラグ

1 3 バリア層

1 4 第2の層間絶縁膜

1 4 a 凹部

1 5 第1の白金膜

1 5 a 第1の下層白金膜

1 5 b 第1の上層白金膜

40 1 5 A 下部電極

1 6 シリコン酸化膜

1 7 B S T膜

1 8 第2の白金膜

1 8 a 第2の下層白金膜

1 8 b 第2の上層白金膜

1 8 A 上部電極

1 9 レジストパターン

2 0 半導体基板

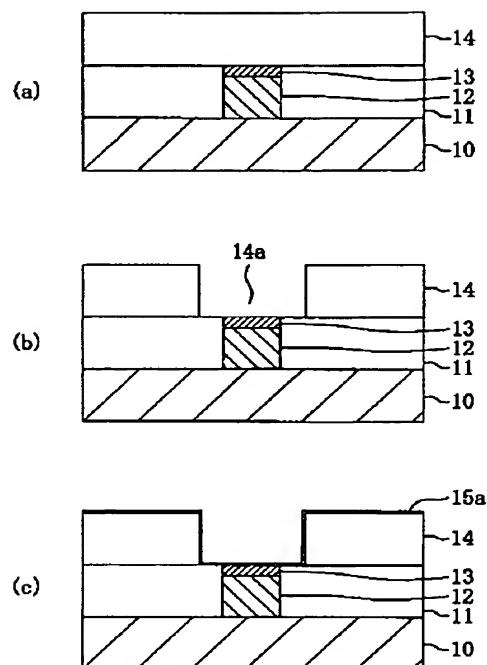
2 1 層間絶縁膜

50 2 2 プラグ

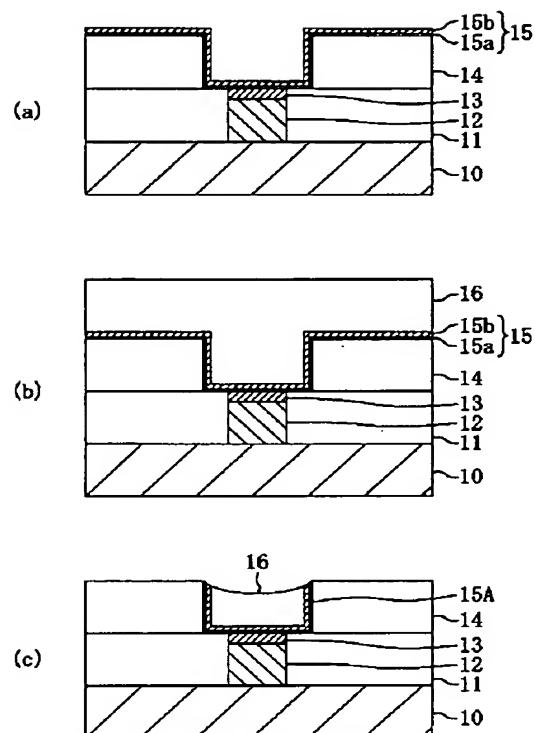
23 バリア層
24 第1の白金膜
24A 下部電極
25 BST膜

26 第2の白金膜
26a 下層白金膜
26b 上層白金膜

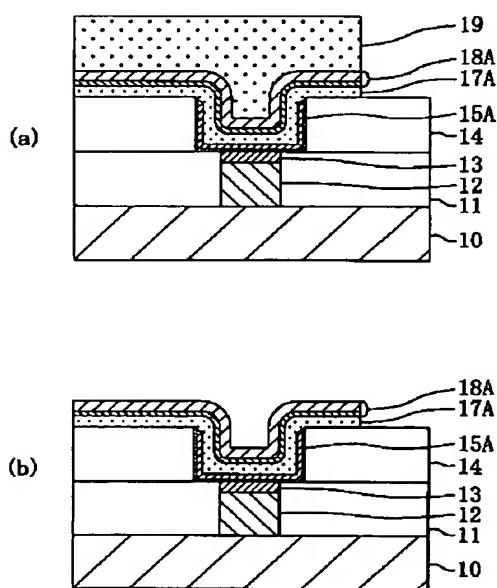
【図1】



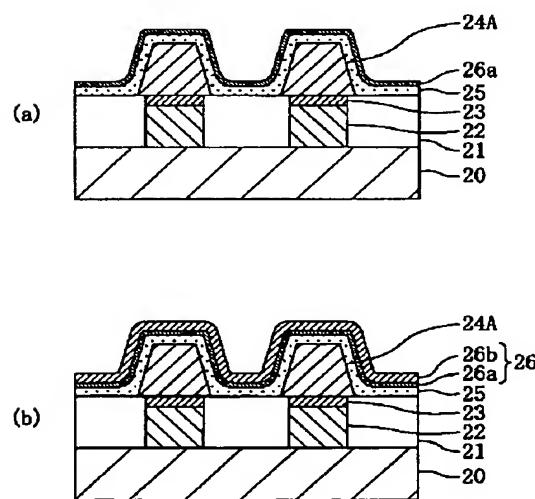
【図2】



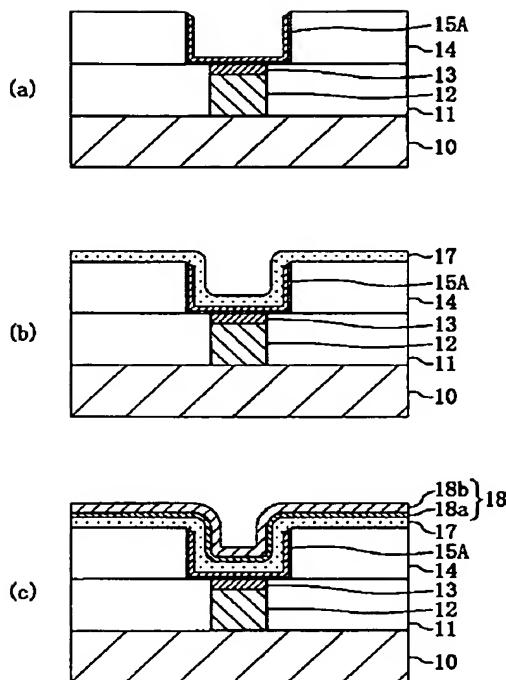
【図4】



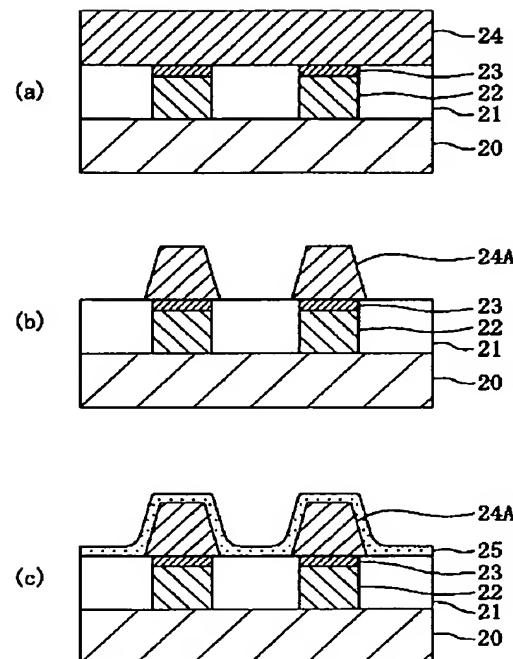
【図6】



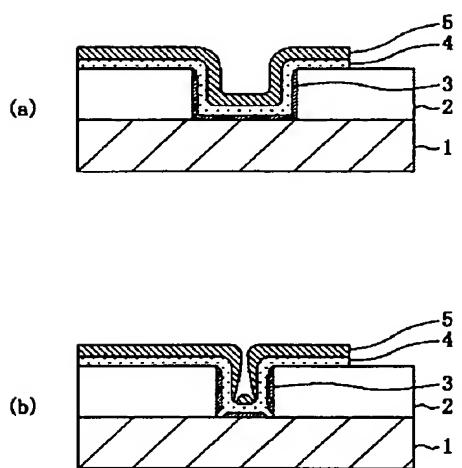
【図3】



【図5】



【図7】



フロントページの続き

(72)発明者 森 義弘
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

Fターム(参考) 5F083 AD26 AD42 AD49 AD56 FR01
GA11 JA13 JA14 JA15 JA17
JA36 JA38 JA39 JA40 MA05
MA06 MA17 PR03 PR21 PR39
PR40